

BARRIER ENHANCEMENT PROCESS FOR COPPER INTERCONNECTS

Patent number: JP2004533123 (T)

Publication date: 2004-10-28

Inventor(s):

Applicant(s):

Classification:

- international: C23C14/16; C23C16/06; C25D7/12; H01L21/288;
H01L21/3205; H01L21/768; H01L23/52; H01L23/532;
C23C14/16; C23C16/06; C25D7/12; H01L21/02; H01L21/70;
H01L23/52; (IPC1-7): C23C14/16; C23C16/06; C25D7/12;
H01L21/288; H01L21/3205

- european: H01L21/288; H01L21/768C3B; H01L21/768C3H;
H01L21/768C3S2; H01L21/768C3S4; H01L23/532M1C4

Application number: JP20030505996T 20020614

Priority number(s): US20010298138P 20010614; WO2002US18793 20020614

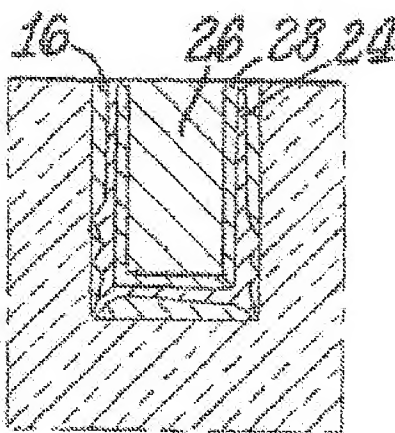
Also published as:

WO02103782 (A2)
WO02103782 (A3)
DE10296935 (T5)
CN1516895 (A)

Abstract not available for JP 2004533123 (T)

Abstract of correspondent: **WO 02103782 (A2)**

A damascene process for introducing copper into metallization layers in microelectronic structures includes a step of forming an enhancement layer of a metal alloy, such as a copper alloy or Co-W-P, over the barrier layer, using PVD, CVD or electrochemical deposition prior to electrochemically depositing copper metallization. The enhancement layer has a thickness from 10 ANGSTROM to 100 ANGSTROM and conformally covers the discontinuities, seams and grain boundary defects in the barrier layer. The enhancement layer provides a conductive surface onto which a metal layer, such as copper metallization, may be applied with electrochemical deposition. Alternatively, a seed layer may be deposited over the enhancement layer prior to copper metallization.



.....
Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2004-533123

(P2004-533123A)

(43) 公表日 平成16年10月28日 (2004. 10. 28)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H 0 1 L 21/288	H 0 1 L 21/288	E 4 K 0 2 4
C 2 5 D 7/12	C 2 5 D 7/12	4 K 0 2 9
H 0 1 L 21/3205	H 0 1 L 21/88	M 4 K 0 3 0
// C 2 3 C 14/16	C 2 3 C 14/16	D 4 M 1 0 4
C 2 3 C 16/06	C 2 3 C 16/06	5 F 0 3 3
審査請求 未請求 予備審査請求 未請求 (全 42 頁)		

(21) 出願番号 特願2003-505996 (P2003-505996)
 (86) (22) 出願日 平成14年6月14日 (2002. 6. 14)
 (85) 翻訳文提出日 平成15年12月12日 (2003. 12. 12)
 (86) 国際出願番号 PCT/US2002/018793
 (87) 国際公開番号 W02002/103782
 (87) 国際公開日 平成14年12月27日 (2002. 12. 27)
 (31) 優先権主張番号 60/298, 138
 (32) 優先日 平成13年6月14日 (2001. 6. 14)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), AT, CA, CH, CN, DE, DK, E S, FI, GB, IL, JP, KR, LU, NO, PT, SE, SG, US

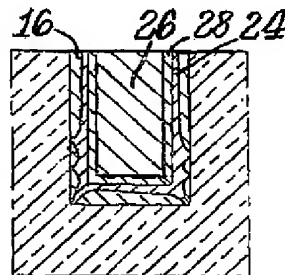
(71) 出願人 503457334
 マトソン テクノロジー インコーポレー
 テッド
 アメリカ合衆国 カリフォルニア州 94
 538 フルモント ベイサイド パーク
 ウェイ 47131
 (74) 代理人 100075753
 弁理士 和泉 良彦
 (74) 代理人 100081341
 弁理士 小林 茂
 (72) 発明者 ティン チュ エイチ
 アメリカ合衆国 カリフォルニア州 95
 070 サラトウガ アロヨ ド アーゲ
 イラ 12932

最終頁に続く

(54) 【発明の名称】 銅接続用の障壁エンハンスメント工程

(57) 【要約】

本発明の超小形電子構造における電極形成層へ銅を導入するための金属パターン形成工程は、銅の電極形成層を電気化学的にデポジションする前に、銅合金またはC o - W - P のような合金のエンハンスメント層を、障壁層の上へ、PVD、CVDまたは電気化学的デポジションを用いて形成する工程を含む。エンハンスメント層は、10 Å ~ 100 Å の厚さを有し、障壁層における不連続、割れ目、結晶粒界欠陥をコンフォーマルにカバーする。エンハンスメント層は、その上へ銅の電極形成層のような金属層を電気化学的デポジションによって付着可能な導電面を提供する。代替的に、銅の電極形成に先立って、シード層をエンハンスメント層の上にデポジションしてもよい。



【特許請求の範囲】

【請求項 1】

1 または複数の微小凹部構造が設けられた表面を有する超小形電子加工品への金属付加工工程において、

(a) 上記微小凹部構造の壁面を含む上記超小形電子加工品の表面に障壁層を形成する工程と、

(b) 上記障壁層の上に、合金からなるエンハンスメント層を形成する工程と、

(c) 上記エンハンスメント層の上に金属を電気めっきして、上記微小凹部構造を充填する工程と、

を含んでなることを特徴とする、超小形電子加工品への金属付加工工程。

10

【請求項 2】

上記エンハンスメント層は、電気化学的デポジション工程を用いて形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 3】

上記電気化学的デポジション工程は、無電解めっきと電気めっきとからなるグループから選択されることを特徴とする、請求項 2 に記載の超小形電子加工品への金属付加工工程。

【請求項 4】

上記エンハンスメント層は、CVD 工程を用いて形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 5】

上記エンハンスメント層は、PVD 工程を用いて形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

20

【請求項 6】

上記エンハンスメント層は、100 Å またはそれ以下の厚さに形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 7】

上記エンハンスメント層は、10 Å ~ 100 Å の厚さに形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 8】

形成された上記障壁層は、割れ目、不連続または結晶粒界欠陥を有し、上記エンハンスメント層は、上記障壁層をコンフォーマルに覆うことを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

30

【請求項 9】

上記エンハンスメント層は、銅合金から形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 10】

上記銅合金は、Cu-Al、Cu-Mg、Cu-Zn、Cu-Sn、及びこれらの合金の混合物から成るグループの中から選ばれることを特徴とする、請求項 9 に記載の超小形電子加工品への金属付加工工程。

【請求項 11】

上記エンハンスメント層は、2 元合金組成物から形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

40

【請求項 12】

上記 2 元合金は、Co-P であることを特徴とする、請求項 11 に記載の超小形電子加工品への金属付加工工程。

【請求項 13】

上記エンハンスメント層は、3 元合金組成物から形成されることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 14】

上記 3 元合金は、Co-W-P であることを特徴とする、請求項 13 に記載の超小形電子

50

加工品への金属付加工工程。

【請求項 15】

上記エンハンスメント層の上に電気めっきされる上記金属は銅であることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 16】

更に、

(d) 上記超小形電子加工品の表面から上記金属の部分を除去する工程、を含んでなることを特徴とする、請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 17】

上記金属の部分の除去は、化学機械研磨によることを特徴とする、請求項 16 に記載の超小形電子加工品への金属付加工工程。 10

【請求項 18】

上記超小形電子加工品はシリコンまたはヒ化ガリウム半導体ウエーハであることを特徴とする請求項 1 に記載の超小形電子加工品への金属付加工工程。

【請求項 19】

請求項 1 に記載の超小形電子加工品への金属付加工工程によって、超小形電子加工品に形成されたことを特徴とする、電極形成層。

【請求項 20】

1 または複数の微小凹部構造が設けられた表面を有する超小形電子加工品への金属付加工工程において、 20

(a) 上記微小凹部構造の壁面を含む上記超小形電子加工品の表面に障壁層を形成する工程と、

(b) 上記障壁層の上にエンハンスメント層を形成する工程と、

(c) 上記エンハンスメント層の上にシード層を形成する工程と、

(d) 上記シード層の上に金属を電気めっきして、上記微小凹部構造を充填する工程と、を含んでなることを特徴とする、超小形電子加工品への金属付加工工程。

【請求項 21】

上記エンハンスメント層は、電気化学的デポジション工程を用いて形成されることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 22】

上記電気化学的デポジション工程は、無電解めっきと電気めっきとからなるグループから選択されることを特徴とする、請求項 21 に記載の超小形電子加工品への金属付加工工程。 30

【請求項 23】

上記エンハンスメント層は、CVD工程を用いて形成されることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 24】

上記エンハンスメント層は、PVD工程を用いて形成されることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 25】

上記エンハンスメント層は、100 Å またはそれ以下の厚さに形成されることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。 40

【請求項 26】

上記エンハンスメント層は、10 Å ～ 100 Å の厚さに形成されることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 27】

形成された上記障壁層は、割れ目、不連続または結晶粒界欠陥を有し、上記エンハンスメント層は、上記障壁層をコンフォーマルに覆うことを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 28】

上記エンハンスメント層は、銅合金から形成されることを特徴とする、請求項 20 に記載 50

の超小形電子加工品への金属付加工工程。

【請求項 29】

上記銅合金は、Cu-Al、Cu-Mg、Cu-Zn、Cu-Sn、及びこれらの合金の混合物から成るグループの中から選ばれることを特徴とする、請求項 28 に記載の超小形電子加工品への金属付加工工程。

【請求項 30】

上記エンハンスメント層は、2 元合金組成物から形成されることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 31】

上記 2 元合金は、Co-P であることを特徴とする、請求項 30 に記載の超小形電子加工品への金属付加工工程。 10

【請求項 32】

上記エンハンスメント層は、3 元合金組成物から形成されることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 33】

上記 3 元合金は、Co-W-P であることを特徴とする、請求項 32 に記載の超小形電子加工品への金属付加工工程。

【請求項 34】

上記エンハンスメント層の上に電気めっきされる上記金属は銅であることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。 20

【請求項 35】

更に、

(d) 上記超小形電子加工品の表面から上記金属の部分除去する工程、を含んでなることを特徴とする、請求項 20 に記載の超小形電子加工品への金属付加工工程。

【請求項 36】

上記金属の部分の除去は、化学機械研磨によることを特徴とする、請求項 35 に記載の超小形電子加工品への金属付加工工程。

【請求項 37】

上記超小形電子加工品はシリコンまたはヒ化ガリウム半導体ウエーハであることを特徴とする請求項 20 に記載の超小形電子加工品への金属付加工工程。 30

【請求項 38】

請求項 20 に記載の超小形電子加工品への金属付加工工程によって、超小形電子加工品に形成されたことを特徴とする、電極形成層。

【請求項 39】

超小形電子回路または部品を製造するための複数の装置を含んで成る製造ラインにおいて、上記複数の装置の 1 または複数の装置は、上記超小形電子回路または部品を形成するために用いられる超小形電子加工品の面へ金属パターン形成工程によって接続電極を取り付けるために用いられ、上記 1 または複数の装置は：

第 1 のデポジション工程を用いて、上記超小形電子加工品の表面へ、上記接続電極の大部分を形成する電気化学的デポジションに一般的に適さない障壁層を付加する手段と、 40

第 2 のデポジション工程を用いて、上記障壁層の上に、上記接続電極の大部分に該当する所定の厚さに金属を付加する後続の電気化学的付加に一般的に適した合金組成物からなるエンハンスメント層を付加する手段と、

上記エンハンスメント層の上へ金属を電気化学的に付加する手段と、を含んで成ることを特徴とする製造ライン。

【請求項 40】

上記エンハンスメント層を付加する手段は、電気化学的デポジション用の装置であることを特徴とする、請求項 39 に記載の製造ライン。

【請求項 41】

上記エンハンスメント層を付加する手段は、無電解めっき工程と電気めっき工程とからなるグループから選択された電気化学的デポジション工程を実行することを特徴とする、請求項 40 に記載の製造ライン。

【請求項 42】

上記エンハンスメント層を付加する手段は、CVD 工程用の装置であること特徴とする、請求項 39 に記載の製造ライン。

【請求項 43】

上記エンハンスメント層を付加する手段は、PVD 工程用の装置であること特徴とする、請求項 39 に記載の製造ライン。

【請求項 44】

上記エンハンスメント層を付加する手段は、上記障壁層の上に上記エンハンスメント層を、100 Å またはそれ以下の厚さに、コンフォーマルに付加することが可能であることを特徴とする、請求項 39 に記載の製造ライン。

【請求項 45】

上記エンハンスメント層は、Cu-Al、Cu-Mg、Cu-Zn、Cu-Sn、Co-P、Co-W-P、及びこれらの合金の混合物から成るグループの中から選ばれた合金から形成されることを特徴とする、請求項 39 に記載の製造ライン。

【請求項 46】

上記エンハンスメント層の上へ金属を電気化学的に付加する手段は、上記金属として銅を付加することが可能であることを特徴とする、請求項 39 に記載の製造ライン。

【請求項 47】

更に、上記超小形電子加工品の表面から上記金属の部分を除く手段を含んでなることを特徴とする、請求項 39 に記載の製造ライン。

【請求項 48】

上記金属の部分を除く手段は、化学機械研磨装置を含んで成ることを特徴とする、請求項 47 に記載の製造ライン。

【請求項 49】

上記超小形電子加工品はシリコンまたはヒ化ガリウム半導体ウェーハであることを特徴とする請求項 39 に記載の製造ライン。

【請求項 50】

超小形電子回路または部品を形成するために用いられる超小形電子加工品の面へ、金属パターン形成工程によって、接続電極を取り付けるための装置において：

第1のデポジション工程を用いて、上記超小形電子加工品の表面へ、上記接続電極の大部分を形成する電気化学的デポジションに一般的に適さない障壁層を付加する手段と、

第2のデポジション工程を用いて、上記障壁層の上に、上記接続電極の大部分に該当する所定の厚さに金属を付加する後続の電気化学的付加に一般的に適した合金組成物からなるエンハンスメント層を付加する手段と、

上記エンハンスメント層の上へ金属を電気化学的に付加する手段と、
を含んで成ることを特徴とする装置。

【請求項 51】

上記エンハンスメント層を付加する手段は、電気化学的デポジション装置であることを特徴とする、請求項 50 に記載の装置。

【請求項 52】

上記エンハンスメント層を付加する手段は、無電解めっきと電気めっきとからなるグループから選択された電気化学的デポジションを実行することを特徴とする、請求項 51 に記載の装置。

【請求項 53】

上記電気化学的デポジション装置は、1個のチャンバーと、1または複数の電極と、1または複数のカソードと、上記1または複数の電極及び上記1または複数のカソードを上記超小形電子加工品へ連結するプロセス流体とを含んで成ることを特徴とする、請求項 51

10

20

30

40

50

に記載の装置。

【請求項54】

上記プロセス流体は、銅またはCu-Al、Cu-Mg、Cu-Zn、Cu-Sn、Co-P、Co-W-P、及びこれらの混合物からなるグループから選択された合金をめっきするための電解液であることを特徴とする、請求項53に記載の装置。

【請求項55】

上記エンハンスメント層を付加する手段は、上記エンハンスメント層を、上記障壁層の上に、100 Åまたはそれ以下の厚さに、コンフォーマルに付加することが可能であることを特徴とする請求項50に記載の装置。

【請求項56】

上記エンハンスメント層は、Cu-Al、Cu-Mg、Cu-Zn、Cu-Sn、Co-P、Co-W-Pからなるグループから選択された合金から形成されることを特徴とする請求項50に記載の装置。

【請求項57】

上記エンハンスメント層の上への金属の電気化学的付加手段は、上記金属として銅を付加することが可能であることを特徴とする、請求項50に記載の装置。

【請求項58】

上記障壁層を付加する手段は上記装置の第1のチャンバー内にあり、上記エンハンスメント層を付加する手段は上記装置の第2のチャンバー内にあることを特徴とする、請求項50に記載の装置。

【請求項59】

上記エンハンスメント層を付加する手段は上記装置の第1のチャンバー内にあり、上記エンハンスメント層の上へ金属を電気化学的に付加する手段は上記装置の第2のチャンバー内にあることを特徴とする、請求項50に記載の装置。

【請求項60】

上記エンハンスメント層を付加する手段は上記装置の第1のチャンバー内にあり、上記エンハンスメント層の上へ金属を電気化学的に付加する手段は上記装置の上記第1のチャンバー内の上記エンハンスメント層を付加する手段と同じ手段からなることを特徴とする、請求項50に記載の装置。

【請求項61】

上記超小形電子加工品はシリコンまたはヒ化ガリウム半導体ウェーハであることを特徴とする、請求項50に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、実在する超薄障壁層の上に薄膜のエンハンスメント層をデポジションして、障壁層の欠陥を修復し、障壁特性を向上させるための、電気化学的デポジション工程に関する。デポジションされた薄膜のエンハンスメント層は、薄い障壁層として、及び、後続する銅めっき工程のためのシード層（種層、seed layer）として役立つ。

【0002】

関連する出願の参照

本出願は、2001年7月25日出願の、米国暫定出願第60/298,138号に基づき優先権を主張する。

【背景技術】

【0003】

電極形成（メタライゼーション）パターンは、多数のデバイスを接続して集積回路を形成するために必要である。高性能超々LSI（ULSI）チップの場合には、6または6以上の電極形成層が一般に用いられる。半導体産業においては、更にデバイスの寸法を減少し、集積回路により多くのデバイスを詰め込むことに努力指向されているので、電極形成層の数は増加すると予測される。

10

20

30

40

50

【0004】

集積回路のチップの性能は、接続における信号伝達遅延によって制限される。信号伝達遅延は、「RC」遅延としても知られている。回路の速度を改善するためには、接続に関係するR（抵抗）とC（容量）の両方を減らすことが重要である。最近、銅はアルミニウムよりも低い抵抗と高い電流容量とを有するので、アルミニウム電極形成に代えて銅電極形成が集積回路の製造に導入されている。

【0005】

銅電極形成は、アルミニウム電極形成とは異なる工程を要する。アルミニウム接続の形成に用いられるような金属のデポジションとそれに引き続くパターニングに代えて、銅接続は一般に金属パターン形成（ダマシーン；damascene）工程を用いて形成される。金属パターン形成工程においては、導体パターンが最初に誘電体材料の中へ蝕刻される。次いで、蝕刻されたパターンに銅が充填される。余剰の銅は次いでフィールドの上から、化学機械研磨（「CMP」）を用いて除去される。集積回路チップの中に形成された種々の電極形成層を接続するために、バイアホールが用いられる。導線パターンとバイアホールパターンとが別個に充填、研磨される場合には、この工程は一般に「単金属パターン形成」と呼ばれる。導線パターンとバイアホールパターンの両方が同時に充填、研磨される場合には、この工程は一般に「複金属パターン形成」と呼ばれる。

【0006】

既知の金属パターン形成工程においては、銅を導入する前に、パターニングされた誘電体層表面の上に、障壁層がデポジションされ、次いでシード層がデポジションされる。障壁層は、銅がデバイス領域の中へ拡散することを防止するために必要である。銅がシリコンと接触していると、銅はシリコンのデバイス作用をスポイルする。通常、薄い超硬合金または窒化金属が障壁層として選ばれる。代表的な障壁層材料には、タンタル、窒化タンタル、タングステン、窒化タングステン、チタン、窒化チタンが含まれる。シード層は、電気化学的デポジション反応のために導電性を供給し、引き続く銅電気メッキのための核生成サイト（ニュークリエーションサイト；nucleation sites）を供給するために必要である。通常、シード層として機能するための薄い銅層が障壁層の上にデポジションされる。

【0007】

銅の金属パターン形成に対する最も重要な要求の1つは、蝕刻された微小な形状寸法の線またはトレンチ及び高アスペクト比（深さを幅で除算して計算）の穴の中へ銅を完全にデポジションするということである。電気メッキ工程は、物理蒸着法（「PVD」）または化学気相成長法（「CVD」）に比して良好なギャップ充填性を有するので、一般に電気メッキ工程が用いられる。電気化学的デポジション工程は、トレンチの外部よりも微小なトレンチの内部へより多くの銅をデポジションすることができるので、しばしば「超充填」と呼ばれる。

【0008】

PVD技術には、例えば、DC/RFプラズマスパッタリング、バイアススパッタリング、マグネトロンスパッタリング、イオンプレーティング、またはイオン化メタルプラズマスパッタリングのような、種々の蒸着及びスパッタリング技術が含まれる。一般にPVD工程は、その異方性および指向性のために、ノンコンフォーマルな（形状に整合しない）デポジションを生じる。CVD技術には、例えば、熱CVD、プラズマCVD、低圧CVD、高圧CVD、金属-有機CVDが含まれる。CVD工程は、多くの場合、フィールド上及び開口の側壁及び底面を含む全面上にわたって概ね均一な厚さの、コンフォーマルな（形状に整合した）デポジションを生じる。

【0009】

現在、障壁層及びシード層は、スパッタリングやイオン化スパッタリングのようなPVD工程によって主にデポジションされる。しばしば、障壁層及びシード層は、表面のコンタミネーションを避けるために真空を維持したまま、2つの異なる真空チャンパーの中で、連続してデポジションされる。このようなデポジション工程におけるクリティカルなファ

10

20

30

40

50

クターは、蝕刻パターンの内側、特に蝕刻された線またはトレンチ及びバイアホールの側壁と底面における膜の厚さである。一般に、このような蝕刻パターンの中には、誘電体材料の平らなフィールド領域の上におけるよりも薄い膜層がPVD工程によって形成される。このような層のステップカバレッジ（段差被覆性）が従来から問題となっている。膜は連続していなければならない、欠陥があってはならない。シード層における空隙または欠陥は、めっきされた銅の膜に空隙または欠陥をもたらすであろう。

【0010】

ステップカバレッジを改善するために、障壁層及びシード層をCVD工程によってデポジションすることが試みられている。しかしながら、現在に到るまでCVD工程はPVD工程よりも良好な結果を生じるには到っておらず、またCVD工程はPVD工程よりも費用がかかる。CVD工程によってデポジションされた銅のシード層は、通常、低密着性と、高不純度と、低品質の結晶方位を有し、これらは、このようなシード層の上に追加の銅が電気化学的にデポジションされたときに問題をもたらす。時には、PVDがCVDと共に用いられ、CVD工程によってデポジションされた銅のシード層の上に、PVD工程によって別の銅のシード層をデポジションする。これは、CVD工程に更に費用を追加することになる。従って、銅接続用の障壁層及びシード層のためのPVD工程は、ステップカバレッジに関する上記の問題があるにもかかわらず、依然として望ましいものとして残されている。

10

【0011】

PVDデポジション技術に対して改良がなされているが、この改良はPVDによってデポジションされた障壁層及びシード層のフィルム被覆性の問題を解決するのに十分ではない。デバイスの寸法は減少し続けているので、将来においては、トレンチ側壁上の障壁層は10ナノメートル以下にすることを要し、より厳密な要求に合致するための結合技術が要求されるであろう。

20

【0012】

米国特許6,136,707号は、CVDによって形成された第1の銅のシード層を、PVDによって形成された第2の銅のシード層と結合する方法を開示している。米国特許6,197,181号は、アルカリめっき液から電解的にデポジションされた第1の銅のシード層を、PVDによって形成された第2の銅のシード層と結合する方法を開示している。このように、これらの特許は、PVDによる銅のシード層の良好な付着性を達成するために、両者共、追加の工程を要求している。しかしながら、これらの特許に開示された方法は、欠陥のある障壁層、または障壁層と銅シード層との間の低品質の界面によって引き起こされる、いずれの問題も解決してはいない。

30

【0013】

従って、高アスペクト比の穴及びトレンチの中へ、銅を電気化学的にデポジションする良好な方法が産業界から求められている。

【0014】

【特許文献1】

米国特許6,136,707号

【特許文献2】

米国特許6,197,181号

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は、従来の技術における上述の問題点を解消して、高アスペクト比の穴及びトレンチの中へ、銅を電気化学的にデポジションする良好な方法を提供することを目的とする。

【課題を解決するための手段】

【0016】

本発明は、1または複数の微小凹部構造が設けられた表面を含む超小形電子加工品への金属付加工程及び金属付加装置を含んでなる。この超小形電子加工品は、通常は、シリコン

50

またはヒ化ガリウム半導体ウエーハのような半導体ウエーハである。望ましくは、付加する金属は銅であり、この銅は、半導体ウエーハの中のホール、トレンチ、パイアホールその他の構造の中に、単金属パターン形成工程または複金属パターン形成工程を用いて電極層を形成するために付加される。

【0017】

本発明による超小形電子加工品への金属付加工程は、

- (a) 微小凹部構造の壁面を含む、超小形電子加工品の表面に障壁層を形成する工程と、
 - (b) 上記障壁層の上に、合金からなるエンハンスメント層を形成する工程と、
 - (c) 上記エンハンスメント層の上に金属を電気めっきして、上記微小凹部構造を充填する工程と、
- を含んでなる。

10

【0018】

望ましくは、上記エンハンスメント層は、無電解めっきや電気めっきのような、電気化学的デポジション工程を用いて、100 Åまたはそれ以下の厚さ、望ましくは10 Å～100 Åの厚さに形成する。あるいは、上記エンハンスメント層は、CVD工程またはPVD工程を用いて形成してもよい。

【0019】

1つの実施の形態においては、上記エンハンスメント層は、Cu-Al、Cu-Mg、Cu-Znの少なくとも1つのような銅合金から形成する。他の1つの実施の形態においては、上記エンハンスメント層は、Co-Pのような2元合金組成物、またはCo-W-P

20

【0020】

上記エンハンスメント層は、上記障壁層が割れ目、不連続または結晶粒界欠陥を有していたとしても、上記障壁層をコンフォーマルに覆う。シリコン半導体ウエーハについては、上記障壁層は、チタン、窒化チタンまたはその他の既知の障壁層材料から形成することができる。上記エンハンスメント層は、望ましくは銅である金属をその上にデポジションすることを可能にするのに十分な導電性を有する。上記エンハンスメント層の上に金属をデポジションした後、フィールド面から、例えば化学機械研磨によって、余剰の金属を除去する。デポジションされた金属は、超小形電子構造の中に、所望の接続または電極形成層を形成して残存する。

30

【0021】

本発明の他の実施の形態においては、超小形電子加工品への金属付加工程は、

- (a) 上記微小凹部構造の壁面を含む上記超小形電子加工品の表面に障壁層を形成する工程と、
 - (b) 上記障壁層の上にエンハンスメント層を形成する工程と、
 - (c) 上記エンハンスメント層の上にシード層を形成する工程と、
 - (d) 上記シード層の上に金属を電気めっきして、上記微小凹部構造を充填する工程と、
- を含んでなる。

【0022】

この実施の形態においては、上記シード層は、別の合金の層で形成してもよいし、あるいは、超小形電子構造の中へデポジションすることを意図された金属の層で形成してもよい。つまり、上記シード層は、Co-Pのような2元合金でもよいし、Co-W-Pのような3元合金でもよい。上記シード層は、望ましくは、50 Å～500 Åの厚さに形成する。

40

【0023】

上記金属パターン形成工程は、超小形電子回路または部品を製造するための複数の装置を含んで成る製造ラインにおいて実行することが可能であり、この製造ラインにおいて上記複数の装置の1または複数の装置は、上記超小形電子回路または部品を形成するために用いられる超小形電子加工品の面へ金属パターン形成工程によって接続電極を取り付けるために用いられる。上記超小形電子加工品は、望ましくは、超小形電子回路または部品を形

50

成するための電極形成に適したホール、トレンチ、バイアホールが形成された、シリコンまたはヒ化ガリウム半導体ウエーハである。この場合、上記1または複数の装置は：
第1のデポジション工程を用いて、上記超小形電子加工品の表面へ、上記接続電極の大部分を形成する電気化学的デポジションに一般的に適さない障壁層を付加する手段と、
第2のデポジション工程を用いて、上記障壁層の上に、上記接続電極の大部分に該当する所定の厚さに金属を付加する後続の電気化学的付加に一般的に適した合金組成物からなるエンハンスメント層を付加する手段と、
上記エンハンスメント層の上へ金属を電気化学的に付加する手段と、
を含んで成る。

【0024】

望ましくは、上記エンハンスメント層を付加する手段は、無電解めっきまたは電気めっき装置のような、電気化学的デポジション用の装置である。あるいは、上記エンハンスメント層を付加する手段は、CVDまたはPVD工程用の装置であってもよい。上記エンハンスメント層を付加する手段は、上記障壁層の上に上記エンハンスメント層を、100 Åまたはそれ以下の厚さ、望ましくは10 Å～100 Åの厚さに、コンフォーマルに付加することが可能である。上記エンハンスメント層は、望ましくは、Cu-Al、Cu-Mg、Cu-Znの少なくとも1つのような銅合金、Co-Pのような2元合金、Co-W-Pのような3元合金、あるいはこれらの合金の混合物から形成される。

【0025】

上記エンハンスメント層の上へ金属を電気化学的に付加する手段は、金属パターン形成工程において、上記金属として銅を付加することが可能である。電極形成層または超小形電子構造の中へ銅が導入された後、上記超小形電子加工品のフィールド面から銅金属の部分を除去する手段が設けられる。望ましくは、銅金属の部分を除去する手段は、化学機械研磨装置を含んで成る。

【0026】

超小形電子回路または部品を形成するために用いられる超小形電子加工品の面へ、金属パターン形成工程によって、接続電極を取り付けるための上記装置は、上記障壁層を付加するための第1のチャンバーと、上記エンハンスメント層を付加するための第2のチャンバーを含めることができる。更に、選択的に追加のシード層と電極形成層の銅とを、上記超小形電子加工品が上記エンハンスメント層を付加するための上記第2のチャンバー内に存在する間にデポジションすることができる。かくして、上記エンハンスメント層と、上記シード層と、上記銅金属の電気化学的デポジションを、装置内の単一のチャンバー内において実行することができる。

【発明を実施するための最良の形態】

【0027】

本発明は、以下の図面と関連づけて把握される詳細な説明と請求項を参照することによって、より十分に理解されるであろう。

【0028】

図1Aは、蝕刻して誘電体トレンチパターンが形成されたシリコン半導体ウエーハを示す断面図である。

図1Bは、タンタルまたは窒化タンタルのような薄い障壁層が表面上に均一にデポジションされたトレンチを有するシリコン半導体ウエーハを示す断面図である。

図2は、薄い障壁層で塗工されたトレンチを有し、薄い障壁層に通常形成される表面欠陥が見られる、シリコン半導体ウエーハの断面図である。

図2Aは、図2の塗工されたシリコン半導体ウエーハのトレンチの拡大断面図である。

図3は、最初に薄い障壁層で、次いで本発明による障壁エンハンスメント層で塗工されたトレンチを有する、シリコン半導体ウエーハを示す断面図である。

図4は、トレンチが電気化学的デポジション方法を用いて銅で充填された、図3のシリコン半導体ウエーハを示す断面図である。

図5は、表面を研磨して余剰の銅を除去した後の、図4のシリコン半導体ウエーハを示す

10

20

30

40

50

断面図であり、仕上げされた金属パターン形成導体が残されている。

図 6 は、他の 1 つの実施の形態を示す断面図であり、シリコン半導体ウエーハは仕上げされた金属パターン形成導体を有し、トレンチが銅で充填される前の障壁エンハンスメント層の上に銅のシード層がデポジションされている。

図 7 は、障壁層の上へ、C o - W - P 合金からなる障壁エンハンスメント層を、75℃でデポジションした場合のデポジションレートを、オングストローム対時間 (分(min.)) で示したグラフである。

【0029】

図 1 A を参照すると、拡大部分断面図で示された、超小形電子加工品である半導体ウエーハは、例えば S i O₂ のようなシリコン誘電体材料 10 からなる。シリコン誘電体材料 10 の中には微小凹部構造であるトレンチ 12 が形成されている。

10

【0030】

誘電体材料 10 の表面は、望ましくは P V D 工程を用いて、薄い障壁層 14 で塗工される。なお、C V D 工程を用いて塗工してもよい。障壁層は、一般に、薄い超硬合金又は窒化金属からなる。代表的な障壁層の材料には、タンタル、窒化タンタル、窒化タンタルケイ素、タングステン、窒化タングステン、窒化タングステンケイ素、チタン、窒化チタン、窒化チタンケイ素、及びその他の第 3 窒化物が含まれる。

【0031】

図 1 B に示されているように、障壁層 14 は、不連続または表面欠陥のない連続した層または膜として形成されることが望ましい。このような面被覆は、障壁層にとっての理想的なものである。実際には、障壁層の厚さは、フィールド上及びトレンチ内の平らな底面上においては、一般に 100 Å ~ 500 Å であり、トレンチの側壁上においては、アスペクト比及び開口の大きさに応じて 100 Å またはそれ以下である。また、開口が極めて小で深さが大であるトレンチにおいては、側壁上にデポジションされた膜が極めて薄くなる。その結果、不連続及び表面欠陥がもたらされる。

20

【0032】

図 2、2 A を参照すると、誘電体材料 10 の上に形成された障壁層 16 は、トレンチ 12 の内部において面被覆欠陥を有しているように示されている。図 2 に示されているように、障壁層 16 は、トレンチの側壁と底面を滑らかには覆っていない。割れ目 18 が底面の角に残されており、そこでは障壁層は誘電体材料を覆っていない。不連続 20 は、側壁に沿う被覆における裂け目である。結晶粒界 22 は、後に既知の金属パターン形成工程において障壁層の上に形成される銅シード層の適切な付着を阻害する表面欠陥を代表する。

30

【0033】

結晶粒界拡散は、結晶粒界以外の大部分を通しての拡散よりもずっと速いので、障壁層における大部分の欠陥は、結晶粒界における銅の拡散に関連付けられる。結晶粒界に「詰め込み」を行なって、結晶粒界欠陥を有する障壁層の障壁特性を改良することが提案されている。例えば、T i N の障壁層は、結晶粒界に酸素を「詰め込み」するために、通常、酸素雰囲気中でアニールされる。結晶粒界における拡散を減少させる他の 1 つの方法は、最初の障壁金属に他の材料を添加して合金を形成するものである。添加された材料は、通常、結晶粒界に集中する。(偏析とも呼ばれる。)合金の成分は、種々の要求を満たすために調整可能である。C u - S n、C u - Z n、C u - M g、C u - A l のような代表的な合金を、銅のための拡散障壁として使用することができる。合金中に添加された金属は、結晶粒界面または自由界面上の集中し、銅原子の移動を防止する。C u - S n と C u - Z n は、酸素の拡散を妨げることによって空気中における C u の腐食を遅らせることが知られている。A l は、結晶粒界及び表面において偏析する傾向があるので、最近では C u - A l が銅のための拡散障壁として研究されている。

40

【0034】

障壁層の上にシード層をデポジションすることにおける最も難しい問題の 1 つは、最初の障壁層とその上のシード層との間の良好な付着を得ることにある。めっきされた銅は、障壁層の表面に良く付着しない。このことが、米国特許 6, 197, 181 号に記載された

50

シードエンハンスメント層が障壁層の上に直接デポジションされず、PVDでデポジションされた銅シード層の上にデポジションされる理由である。障壁層の上へCVDで直接デポジションされた銅のシード層も良く付着せず、CVDによる銅のシード層の付着を改良するために、しばしばPVDによる銅のシード層が用いられる。

【0035】

本発明によれば、図3に示すように、障壁層16の上に障壁エンハンスメント層24が、CVD工程、PVD工程または電気化学的工程のいずれかを用いて、コンフォーマル（形状に整合して）にデポジションされる。電気化学的工程またはCVD工程が望ましい。無電解めっき、電気メッキのような電気化学的デポジション工程が最も望ましい。障壁エンハンスメント層は10 Å～100 Åの厚さであり、障壁層16に存在する割れ目18、不連続20、結晶粒界22のような欠陥をカバーする。この障壁エンハンスメント層は良好なステップカバレッジを有する。

10

【0036】

障壁エンハンスメント層24は、拡散障壁層の性能を向上するとともに、後続の銅めっき工程のためのシード層として機能することを意図されたものである。従って、障壁エンハンスメント層をデポジションすることによって、別の銅のシード層の必要性を排除することができる。

【0037】

障壁エンハンスメント層は、障壁層に付着し、後続の銅めっきを可能にする、導電性金属から形成される。望ましくは、障壁エンハンスメント層は、コバルト-リン（Co-P）、コバルト-タングステン-リン（Co-W-P）の1つから選ばれた2元または3元合金材料から形成され、あるいは、Cu-Al、Cu-Mg、Cu-Zn、Cu-Snの少なくとも1つのような銅合金及びこれらの混合物から形成される。

20

【0038】

望ましくは、障壁エンハンスメント層としてデポジションされる合金材料は、Co-W-Pである。Co-W-Pのための電気化学的デポジション工程は、米国特許5,695,810号に詳細に記載されており、ここに同特許を参照して記載する。この合金の典型的なデポジション温度は、室温～90℃の間にある。しかしながら、90℃においては、蒸発による水成電解質の損失が過大であり、75℃程度が望ましい。デポジションされたCo-W-P層の厚さは、所定のデポジション化学についてのデポジション時間及び温度を調節することによって調整可能である。図7にグラフで示すように、Co-W-P合金材料は、電気化学的デポジション工程において、75℃で、TiN障壁層の上に、毎分100 Å～200 Åのデポジションレートでデポジションされる。

30

【0039】

電気化学的デポジション工程は、障壁エンハンスメント層をデポジションするために望ましい。この工程は、標準的な銅めっき工程及び銅接続の製作に既に使用されている装置と両立可能である。従って、障壁エンハンスメント層のための新しい電気化学的デポジション工程は、既存のシステムに新しい処理チャンバーを装備することによって、既存のめっき装置と容易に統合することが可能である。適当な統合装置形態が、米国特許6,017,437号の図12に示されている。統合装置形態は、装置の設備費用を低減し、単純なウェーハ処理の連続した流れを可能にする。障壁エンハンスメント層がデポジションされた後に、ウェーハは、銅めっきモジュールへ直接搬送されて、めっき装置を離れることなくめっき工程が完了する。

40

【0040】

障壁層16の上に障壁エンハンスメント層24が付加された後、蝕刻パターンは、図4に示すように、電気されたメッキ銅で満たされる。その後、フィールド面は、望ましくは化学機械研磨（「CMP」）によって研磨されて、余剰の銅が除去される。CMPが完了した後の金属パターン形成導体が、図5に示されている。

【0041】

他の1つの実施の形態においては、2つの別々の層が障壁層の上へデポジションされる。

50

図6の拡大断面図に示されているように、ウエーハの誘電体材料10の中には、トレンチ12が形成されている。障壁層16は、トレンチの平らな底面と側壁上にデポジションされ、先の実施の形態において記したように、結晶粒界、割れ目及び不連続を有している。この場合も、障壁層16の上に障壁エンハンスメント層24が付加される。その後、シード層28が障壁エンハンスメント層24の上に形成される。シード層28は、障壁エンハンスメント層24を形成するために用いられたような合金として形成してもよいが、銅で形成してもよい。シード層は、CVD工程、PVD工程、または電気化学的デポジション工程で形成してもよいが、電気化学的デポジション工程が望ましい。さらに、障壁エンハンスメント層とシード層を、両方に適用可能なデポジション工程を用いて、望ましくは同じ装置の中でデポジションすると、より経済的である。

10

【実施例1】

【0042】

単一の障壁エンハンスメント層をTiN障壁層の上にデポジションした。このTiN障壁層は、2酸化ケイ素誘電体材料の上にスパッタリングで形成した。その後、TiN障壁層の表面を洗浄した。その後、薄い無電解Co-W-P層をTiN障壁層の上にデポジションした。デポジションに使用した電解液の組成は下記の通りであった。

$\text{CoCl}_2 \times 6\text{H}_2\text{O}$ 30 g / l
 $(\text{NH}_4)_2\text{WO}_4$ 10 g / l
 $\text{Na}_3\text{C}_6\text{H}_5\text{O}_7 \times \text{H}_2\text{O}$ 80 g / l
 $\text{NaH}_2\text{PO}_2 \times \text{H}_2\text{O}$ 20 g / l
 KOH to pH = 9.5

20

デポジション温度は75℃、デポジション時間は約1分であった。デポジション膜（約100Å）は良好な拡散特性を有し、引き続き銅めっきのためのシード層として成功裡に使用された。

【実施例2】

【0043】

スパッタリングで形成したタンタル障壁層を2酸化ケイ素誘電体基板の上に貼付した。タンタル上へCo-W-Pを直接デポジションすると付着が良くないことが知られているので、コバルトの薄層（約100Å）をタンタルの表面にスパッタリングした。次いで、スパッタリングで形成したCo層の表面上に、Co-W-P層を、75℃で、約1分間、無電解めっきによってデポジションした。複合膜（約200Å）は、良好な付着をもたらした。次いで、Co-W-P層の上へ、銅を直接電気メッキした。この例においては、Co層は障壁エンハンスメント層で、Co-W-P層は銅めっきのためのシード層であった。

30

【0044】

この例は、本発明の第2実施例によれば：（1）障壁エンハンスメント層とシード層との2つの異なる層を使用することができ；（2）障壁エンハンスメント層とシード層とをデポジションするために、異なるデポジション技術が用いられた、ことを例示している。以上、本発明が、詳細な説明と望ましい実施の形態の実施例とによって、ここに例示された。当業者の技量の範囲内において、形態及び詳細における種々の変更が可能であろう。従って、本発明は、請求項によって把握されるべきであって、実施例または実施のための最良の形態の記述によって把握されるべきではない。

40

【図面の簡単な説明】

【0045】

【図1A】蝕刻して誘電体トレンチパターンが形成されたシリコン半導体ウエーハを示す断面図である。

【図1B】タンタルまたは窒化タンタルのような薄い障壁層が表面上に均一にデポジションされたトレンチを有するシリコン半導体ウエーハを示す断面図である。

【図2】薄い障壁層で塗工されたトレンチを有し、薄い障壁層に通常形成される表面欠陥を示が見られる、シリコン半導体ウエーハの断面図である。

【図2A】図2の塗工されたシリコン半導体ウエーハのトレンチの拡大断面図である。

50

【図 3】最初に薄い障壁層で、次いで本発明による障壁エンハンスメント層で塗工されたトレンチを有する、シリコン半導体ウエーハを示す断面図である。

【図 4】トレンチが電気化学的デポジション方法を用いて銅で充填された、図 3 のシリコン半導体ウエーハを示す断面図である。

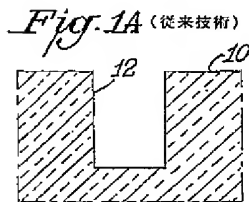
【図 5】表面を研磨して余剰の銅を除去した後の、図 4 のシリコン半導体ウエーハを示す断面図であり、仕上げされた金属パターン形成導体が残されている。

【図 6】他の 1 つの実施の形態を示す断面図であり、シリコン半導体ウエーハは仕上げされた金属パターン形成導体を有し、トレンチが銅で充填される前の障壁エンハンスメント層の上に銅のシード層がデポジションされている。

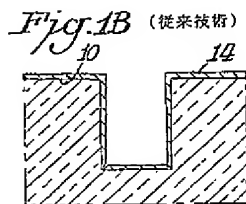
【図 7】障壁層の上へ、C o - W - P 合金からなる障壁エンハンスメント層を、75℃でデポジションした場合のデポジションレートを、オングストローム対時間 (分 (min.)) で示したグラフである。

10

【図 1 A】



【図 1 B】



【図 7】

